

文章编号:1007-2780(2009)02-0228-04

基于 FPGA 的 TFT-LCD 显示驱动设计

程 明, 肖祖胜

(郑州大学 信息工程学院, 河南 郑州 450001, E-mail: xiaozhusheng@126.com)

摘 要: 利用日本夏普公司的 TFT-LCD 模块 LQ080V3DG01, 设计并制作了由可编程逻辑门阵列(FPGA) 控制驱动的显示系统。根据 LQ080V3DG01 的接口方式, 用 FPGA 设计了液晶的驱动时序电路。用 FPGA 设计驱动电路, 可以根据实际功能任务需求, 定制显示控制功能。增强了系统的可靠性和设计的灵活性, 解决了工程实际问题。

关 键 词: LCD; 夏普; FPGA; 驱动

中图分类号: TP334 **文献标识码:** A

1 引 言

人类已经进入了信息时代。目前人类接受的信息有 80% 来自于视觉。无论采用何种方式, 人类从机器上所获取的信息都要通过信息显示来进行人机交换。随着人类需要的加强, 各种显示技术发展迅速。

薄膜晶体管液晶显示器(TFT-LCD)是数字终端显示最理想的显示器件之一。随着 TFT 彩色液晶显示器技术日益成熟, 因其功耗、体积、重量和可靠性等性能指标均优于传统的 CRT 显示器, 现已被广泛应用于各类图形显示系统。目前液晶显示设备多采用专用显示控制芯片来完成液晶显示控制。采用专用显示芯片进行显示产品开发的主要问题是易受器件断档的影响, 而在国内很难找到合适的替代芯片, 不利于产品的量产^[1]。

随着液晶显示产业的蓬勃发展, 其产业链上下游也在不断协调进步, 对 TFT-LCD 控制和驱动 IC 的需求日益增长。目前我国 IC 设计公司数量已经突破 400 家大关, 专注的领域也五花八门, 从模拟电路到数字电路, 从电源管理芯片到具有高端处理能力的核心处理器, 都有相当数量的 IC 设计公司参与其中并已取得了突出的成绩。但是, 惟有 LCD 控制和驱动芯片这一领域, 其主导者仍为欧美、韩日以及我国香港和台湾地区的企业, 内地的 IC 设计公司参与者不多。FPGA 的出现给国内的 IC 设计带来了转机。

当前, EDA 技术的高速发展使电子系统的设计技术和工具发生了深刻的变化。大规模可编程逻辑器件 CPLD/ FPGA 的出现, 给设计人员带来了诸多方便。利用它进行产品开发, 不仅成本低、周期短、可靠性高, 而且具有完全的知识产权^[2-4]。本文提出一种基于 FPGA 的 TFT - LCD 数字显示控制器的设计方案, 在一片 ALTERA 公司的 FPGA 上实现了全部 TFT-LCD 驱动逻辑。这种设计方法可以根据实际功能任务需求来定制显示控制功能, 增强了系统的可靠性和设计的灵活性^[5]。

2 器件简介

LQ080V3DG01 是日本夏普公司生产的一款对角线为 21 cm (8. 4 in) 的液晶屏, 640 × 480 RGB 点阵格式, RGB 数据位均为 6 位, 可以显示 262 144 种颜色, 4 个时序驱动信号, 液晶屏可以使用 5 V 或 3. 3 V 电压驱动, 采用开关电源作为背光驱动电源, 重量约为 400 g。

FPGA 采用的是 ALTERA 公司的 EP1C6-T144C8。EP1C6T144C8 有 144 个引脚, 最大可使用的 I/O 口是 98 个, 支持 JTAG 调试, AS 下载, 内有 5980 个 LES, 总的 RAM 位数是 92 160 bit, 内嵌有 2 个锁相环, 4 个全局时钟, 内核电压为 1. 5 V, 输出 I/O 口驱动电压为 3. 3 V, 支持 LVDs, TTL, CMOS 等电平传输。采用的配置芯片为 EPCS1。EP1C6T144C8 是一款低端的 FPGA

芯片,具有较高的性价比。

3 FPGA 内部电路设计

3.1 时序

FPGA 的内部时序根据夏普公司提供的液晶

模块资料而设计。表 1 是 LQ080V3DG01 正常工作时的时序信号特性表^[6]。

根据 LQ080V3DG01 的时序信号特性表,可以描绘出 LCD 的时序电路图,如图 1 所示。

表 1 LCD 的驱动周期
Table 1 Drive cycle of LCD module

项目	符号	最小值	典型值	最大值	单位
时钟频率	CLK		25.18	28.33	MHz
行同步周期	TH	700	800	900	CLK
场同步周期	TV	512	525	560	TH
水平显示宽度	THd	640	640	640	CLK
垂直显示宽度	TVd	480	480	480	TH
使能信号宽度	Tep	2	640	640	CLK
行负脉冲宽度	THp	2	96	200	CLK
场负脉冲宽度	TVp	1		34	TH
使能信号与行信号距离	THe	44		TH-664	CLK
场扫描与场周期信号距离	TVs		34		TH

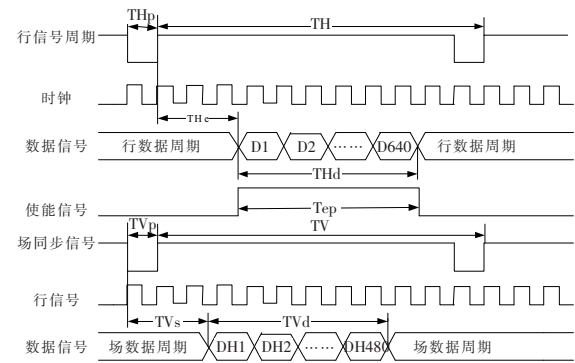


图 1 LCD 的时序图

Fig. 1 Time sequence of LCD module

3.2 驱动程序设计

根据上述时序电路图,可以为 FPGA 设计出驱动程序模块^[5]。LQ080V3DG01 是 18 位彩色(R、G、B 分别为 6 位)的信号接口液晶模块,可以显示 262 114 种颜色。根据实际需要,我们只取了其中 16 位的 RGB 信号线,剩下的两根信号线接地。除此之外,还需要一根行同步信号线,一根场同步信号线,一根使能信号线和一根时钟信号线。这样共有 20 根信号线^[7]。

根据表 1 所提供正常时序特性数据,为 LQ080V3DG01 选取的像素时钟是 20 MHz,可

利用锁相环倍频实现。行信号周期为 800 个像素时钟,这样可以计算出行信号的频率为:

$$Hs = 20 \text{ MHz}/800 = 25 \text{ kHz} \quad (1)$$

选取的场周期为 525 个行信号,同样,可以计算出场信号的频率:

$$Vs = Hs/525 \approx 48 \text{ Hz} \quad (2)$$

也就是说,液晶屏幕刷新一次的频率是 48 Hz。这样,就可以根据数据与显示颜色的关系,结合时序电路图,在 LCD 上显示任何颜色的图形^[8]。

3.2.1 行同步周期设计程序

根据时序,在行信号的 800 个像素时钟中,使能信号上升沿与行信号上升沿距离时间差最小为 44 个时钟信号,这里选用的时间差是 150 个时钟。

用 Verilog HDL 写的部分行同步周期时序程序如下:

```
always@(posedge clk)//行同步周期设计[9]
begin
    if(a1==10'd799)//800 个像素时钟
        a1=10'd0;
    else
        a1=a1+10'd1;
    if(a1==99)
        hs=1'd1;
```

```

else if(a1==10'd0)
    hs=1'd0;
if(a1==10'd149)//使能信号上升沿与行
信号上升沿的距离是 150 个时钟
    h_xiao=1'd1;
else if(a1==10'd789)
    h_xiao=1'd0;
end

```

3.2.2 场同步周期设计程序

场同步信号是控制每一屏幕的刷新起始位置,保持同步,防止图像扭曲。场周期为 525 个行时钟周期,当场信号下降沿到达后,34 个行同步周期后开始刷新整个屏幕。

场同步周期的时序设计部分程序如下:

always@(posedge hs)//场同步周期设计

```

begin
    if(a2==10'd2)
        vs=1'd1;
    else if(a2==10'd0)
        vs=1'd0;
    if(a2==10'd33)//34 个行同步周期后开
始刷新整个屏幕
        v_xiao=1'd1;//v_xiao 为外部数据信
号开始输入的使能控制信号
    else if(a2==10'd513)
        v_xiao=1'd0;
    if(a2==10'd524)
        a2=10'd0;
    else
        a2=a2+10'd1;
end

```

3.2.3 外部图形数据输出控制

结合场周期信号和行周期信号,根据时序,可以生成使能信号,这样就可以控制存在 RAM 里的外部图像数据输入,将外部图像数据转化成 RGB 信号。

外部图像数据转化为 RGB 数据的部分程序^[10]如下:

```

assign enable1=(h_xiao&&v_xiao)? 1'd1:
1'd0;
assign enable=h_xiao; //使能信号
always@(posedge clk)//结合外部电路输出

```

RGB 信号

```

begin
    if(enable1==1'd0)
        begin count=10'd0;data_out=16'd0;
end//根据使能信号清零
    else
        begin
            count=count+10'd1;
            if(count[8:0]==data && count[9]==
1'd0)
                data_out=16'd2016; //输出数据颜色,
2016 表示绿色
            else if(count[8:0]==(data+9'd1) &&
count[9]==1'd0)
                data_out=16'd2016; //周围多点显示同
一点信号,加大显示亮度和显示面积
            else
                data_out=16'd0;
            end
        end
end

```

4 程序验证

EP1C6T144C8 内部含有 20 个 4k RAM 块。所以,无论是外部的 MCU 模块,还是内部定制的 CPU 或者是内部电路在处理完图像数据后,只要写入 FPGA 的内部 RAM 中,通过时序配合,就可以将图像数据转化为 RGB 信号提供给 LQ080V3DG01 显示。图 2 为在 RAM 中初始化一个正弦波图形数据后显示的图像^[11]。

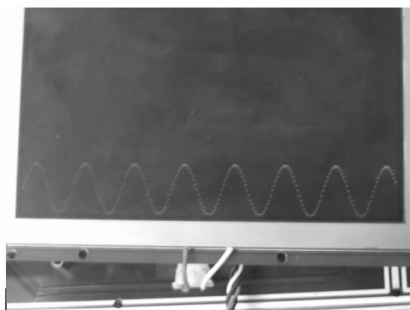


图 2 在 RAM 中初始化一个正弦波图形数据后所显示的图像

Fig. 2 Display image of a sine wave after its data had been initialized in RAM

5 结 论

实际的性能测试与环境试验结果表明,采用 FPGA 实现 TFT-LCD 数字显示控制器的设计方案具有良好的显示效果。用 FPGA 设计驱动电路,

不仅具有通用性好和可移植性强的优点,而且还能在 FPGA 中嵌入其它功能模块,增加了系统的可靠性和设计的灵活性。这样可充分利用 FPGA 资源并节省外部资源,使外部硬件电路简单化,减少了硬件设计流程,提高了可靠性,降低了成本。

参 考 文 献:

[1] 徐杰,杨虹,郭树旭,等. TFT-LCD 周边驱动电路集成化设计 [J]. 液晶与显示,2004, 19(1):42- 47.

[2] 吕国亮,赵曙光,赵俊. 嵌入式逻辑分析技术及其在 FPGA 系统开发中的应用 [J]. 液晶与显示,2007,22(2): 227- 231.

[3] 杨旭光,丁铁夫,刘维亚,等. 基于 FPGA 的高速 DSP 与液晶模块接口的实现 [J]. 液晶与显示, 2007, 22(3): 342-345.

[4] 黄健. 一种基于 CPLD 的 256 级灰度模拟液晶屏显示方法 [J]. 液晶与显示,2008, 23(5):555- 559.

[5] 朱耀东,张焕春,经亚枝. 基于 FPGA 的一种高速图形帧存设计 [J]. 电子技术应用, 2003, (2):72-74.

[6] 赵晶,李平,王丹. 单片机控制 OLED 显示全彩色静态图片和动态图像的系统设计 [J]. 液晶与显示, 2006, 21(1): 67-72.

[7] 邓春健,王琦等. 基于 FPGA 和 ADV7123 的 VGA 显示接口的设计和应用 [J]. 电子器件, 2006, 19(4):25-28.

[8] 曹允. 基于基于 FPGA 的 VGA 时序彩条实现方法及其应用 [J]. 电子技术应用, 2002, (11) : 42-45.

[9] 夏宇闻. Verilog 数字系统设计教程 [M]. 北京:北京航空航天大学出版社,2003.

[10] 吴继华. Altera FPGA/CPLD 设计(高级篇) [M]. 北京:人民邮电出版社,2005.

[11] 王冠,俞一鸣. 面向 CPLD/FPGA 的 Verilog 设计 [M]. 北京:机械工业出版社,2007.

Design of Display Driving for TFT-LCD Based on FPGA

CHENG Ming, XIAO Zu-sheng

(Information Engineering College, Zhengzhou University, Zhengzhou 450001, China, E-mail:xiaozhusheng@126.com)

Abstract

A design method of how to use Sharp LQ080V3DG01 TFT-LCD module is introduced a display system of driving is designed and produced by field programmable gate array(FPGA). Driving circuit is designed in FPGA by the interface methods of LQ080V3DG01. Using FPGA to design driving circuit is succinct, the control module can be changed if the actual demand is changed. Then, the system reliability and design flexibility are improved,the problem of project can be solved quickly.

Key words:LCD; Sharp; FPGA; driving

作者简介:程明(1949—),男,河南郑州人,教授,硕士生导师,从事通信和计算机应用的研究。